

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-021975

(43)Date of publication of application : 24.01.1992

(51)Int.CI.

G11B 20/12

G11B 27/10

(21)Application number : 02-127902

(71)Applicant : OLYMPUS OPTICAL CO LTD

(22)Date of filing : 16.05.1990

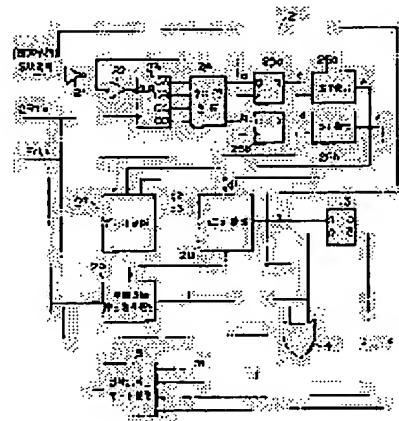
(72)Inventor : YANAGIDA TSUNEO

(54) SECTOR MARK DETECTOR

(57)Abstract:

PURPOSE: To prevent a sector mark from being undetected by fastening timing for release an erroneous detection avoiding gate in the case of detecting the next sector mark when a sector mark detection signal is not outputted.

CONSTITUTION: An SM signal in a read signal is impressed into an SM detection signal/interpolated SM detection signal generating circuit 2, and a window generating circuit 24 outputs mark width detection signals (a) and (b) corresponding to the SM signal. Then, mark detection signals (e) and (f) synchronized to a clock are obtained from detection circuit 26a and 26b. A detection circuit 28 outputs an SM detection signal (h). When this signal (h) is not inputted, a signal generating circuit 29 outputs an interpolated SM detection signal (i). These signals (h) and (i) are inputted to an erroneous detection proof gate generating circuit 5, and an erroneous detection avoiding gate signal (m) is outputted. When the signal (h) is not outputted, a signal (l) is outputted from an erroneous detection avoiding gate width generating circuit 3, and the timing for canceling the signal (m) next is fastened so as to detect the next SM pattern without fail.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 平4-21975

⑬ Int. Cl. 5

G 11 B 20/12
27/10

識別記号

序内整理番号

9074-5D
8224-5D

⑭ 公開 平成4年(1992)1月24日

C

審査請求 未請求 請求項の数 1 (全7頁)

⑮ 発明の名称 セクタマーク検出装置

⑯ 特願 平2-127902

⑰ 出願 平2(1990)5月16日

⑱ 発明者 柳田恒男 東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス光学工業
株式会社内

⑲ 出願人 オリンパス光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号

⑳ 代理人 弁理士 伊藤進

明細書

1. 発明の名称

セクタマーク検出装置

2. 特許請求の範囲

記録用トラックに形成された複数の記録単位としてのセクタを有する光学式記録媒体に、セクタ単位で記録、再生を行うために、セクタの始点を示すセクタマークを検出するセクタマーク検出装置において、

セクタマークを検出すると、セクタマーク検出信号を出力するセクタマーク検出信号発生手段と、前記セクタマーク検出信号が出力されない場合に、補間セクタマーク検出信号を出力する補間セクタマーク検出信号発生手段とを有し、前記セクタマーク検出信号及び補間セクタマーク検出信号との少なくとも一方に基づいて、前記セクタマーク検出信号発生手段の次のセクタマーク検出の誤動作を防止するための誤検出防止ゲート信号のゲート長を、前記補間セクタマーク検出信号を発生した場合には、セクタマーク検出信号を発生した場合

より短くするセクタマーク誤検出防止ゲート発生手段を設けたことを特徴とするセクタマーク検出装置。

3. 発明の詳細な説明

【産業上の利用分野】

本発明は記録再生装置において、記録媒体からデータを読み取る時に使用されるセクタマーク検出装置に関する。

【従来技術】

近年、広い用途において、光ディスク装置等の情報記録再生装置が用いられている。特に最近になって、扱われるデータ量が飛躍的に増大し、光ディスク装置等、大量のデータの記録を行える光学的な記録再生装置が注目される状況にある。

ところで、上記光ディスク装置等ではデータは各トラックにおいて、複数に分割された各セクタに直列的に記録される。各セクタの先頭部分には特開昭62-202333号の従来例に開示されているようにセクタの開始点を示すセクタマークが記録されている。

このセクタマークはセクタ開始点を示す重要なマークであり、このマークの検出により、タイミング制御が起動することになるので、正しく検出できるような検出方法又は検出装置が望まれる。

従来例においては、セクタマークとして複数のパターンを使用し、このパターンをシフトレジスタにより並列化し、これが比較用パターンと一致するか否かによりセクタマーク検出信号を得るようにしている。

しかしながら、ディスクから読み取った信号には、欠陥などにより、セクタマークと類似のパターンが含まれる場合がある。

【発明が解決しようとする問題点】

従来例のようにパターン全部を比較しないで、未検出を防ぐような場合には、この欠陥により、誤検出が起こり易くなるが、従来例ではこの対策が施されていない。また、セクタマークが検出されない場合、補間のセクタマーク検出信号を出力するようにしたものがあるが、この補間のセクタマーク検出信号は、本来のセクタマーク検出信号

- 3 -

る誤検出防止ゲート発生回路5とから構成されている。

第1図(B)は、同図(A)の動作を説明するタイミングチャートを示し、SM検出信号・補間SM検出信号発生回路2には、第1図(B)のフォーマットに対応した読み取り信号が入力され、SMを検出した場合にはSM検出信号を、検出しなかった未検出の場合には補間SM検出信号を出力する。これらいずれの検出信号もオアゲート4を経て誤検出防止ゲート発生回路5に入力され、その検出信号の立下がりで第1図(B)に示すように誤検出防止ゲートをアクティブにする。一方、誤検出防止ゲート幅切換回路3は、SM検出信号が入力された場合には誤検出防止ゲート発生回路5のゲート幅を次のセクタのSMが検出されると予想されるタイミングの直前でインアクティブにするようなゲート幅切換信号G1を出力し、補間SM検出信号が入力された場合には、次のセクタのSMが検出されると予想されるタイミングよりかなり前に誤検出防止ゲートがインアクティブとなるよう

- 5 -

寄りも遅れて出力されるために、次のセクタマークの検出に失敗することがあるという問題がある。

本発明は上述た点にかんがみてなされたもので、従来例で発生し易い誤検出を有効に防止することのできるセクタマーク検出装置を提供することを目的とする。

【問題点を解決する手段及び作用】

第1図(A)に示すように本発明の概略を示すセクタマーク検出装置1は、読み取り信号及びクロック1F, 2Fが入力され、セクタマーク(以下SMと略記する)検出信号及び補間SM検出信号を発生するSM検出信号・補間SM検出信号発生回路2と、これら両信号が入力され、入力される信号に応じて異なるゲート幅に切換えるゲート幅切換信号G1, G2を出力する誤検出防止ゲート幅切換回路3と、この回路3からのゲート幅切換信号G1, G2と、クロック1Fとオアゲート4を介してSM検出信号及び補間SM検出信号のいずれかが入力され、前記SM検出信号・補間SM検出信号発生回路2に誤検出防止ゲート信号を出力す

- 4 -

なゲート幅のゲート幅切換信号G2を出力する。尚、このインアクティブにするタイミングは、補間SM検出信号の出力タイミングと、ディスクを回転させるスピンドルモータの回転偏差から決められる。

この本発明では正しくSM検出信号が検出された場合には、誤検出防止ゲートがインアクティブになる期間は、正常に検出されるタイミング近くのみになるので、誤検出してしまうのを有効に防止できる。又、補間SM検出信号が出力された場合には、誤検出防止ゲートをインアクティブにする期間を早くしているので、補間SM検出信号が出力されるタイミングがSM検出信号が出力されるタイミングより遅れても、次のSMパターンの検出を行う期間には誤検出防止ゲートを解除して、確実にSMパターンの検出を行えるようにしている。

【実施例】

以下、図面を参照して本発明を具体的に説明する。

- 6 -

第2図ないし第5図は本発明の1実施例に係り、第2図は1実施例のセクタマーク検出装置の構成図、第3図は1実施例の動作説明用タイミングチャート図、第4図は誤検出防止ゲート発生回路の回路図、第5図は第4図の動作説明用タイミングチャート図である。

第2図に示すように読み取り信号中のSM信号はSM検出信号・補間SM検出信号発生回路2内のインバータ21, 22を通してカウンタ23のクリア端子CとRに印加され、読み取り信号が“H”的期間クロック端子に印加されるクロック2FcLKをカウントし、カウント値をSM幅検出のためのウインドウ生成回路24に出力する。

このウインドウ生成回路24は、第3図に示すように入力される読み取り信号中のSM信号に対応して、そのカウント値に基づいて2つの出力端からマーク幅検出信号a, bを出力する。尚、このウインドウ生成回路24は、デコードで構成されている。上記SM信号は基本クロック1FcLKを1周期、つまり1Tとして、3周期3T及び5

- 7 -

ィレイ回路27にはクロック1FcLKも入力される。このディレイ回路27は入力される信号e, fにおけるSMの最終パターンに一致させるよう、他の入力信号をディレイさせる。つまり、第3図の信号fにおける最後に検出された信号g1(つまり信号g1)に一致するように、他の信号f1は信号g2に、信号eは信号g3となるようにディレイされて出力される。これらの信号g2, g3, …は組合せ選択検出回路(例えば5つのSMパターンから3つの組合せを選択するので、C, 検出回路と略記する。)28に入力される。このC, 検出回路28には、信号fの最終のSMパターン検出信号g1も入力され、入力信号g1, g2, g3, …の組合せからSMパターンであることを検出すると、SM検出信号hを出力する。

このSM検出信号hは、補間SM検出信号発生回路29と、誤検出防止ゲート幅発生回路3を構成するSRフリップフロップのセット端子に印加される。

上記補間SM検出信号発生回路29には、クロ

周期5Tの幅の組合せによって作られている。ウインドウ生成回路24の出力a, bは、それぞれフリップフロップ25a, 25bのデータ入力端に印加され、インバータ21を通した読み取り信号の立上がりでQ出力端から第3図のc, dで示す信号が出力される。各フリップフロップ25a, 25bの出力c, dは、それぞれ3周期3T及び5周期5Tの各検出回路(3T検出回路26a, 5T検出回路26b)に入力される。つまり、3周期3T, 5周期5Tの信号がウインドウ生成回路24に入力されると、フリップフロップ25a, 25bから第3図c, dに示すような検出信号が得られる。

上記3T検出回路26a, 5T検出回路26bには、クリスタル発振器等から出力されるクロック1FcLKが入力されるので、このクロック1FcLKに同期したマーク検出信号e, fが得られる。尚、クロック2FcLKはクロック1FcLKの2倍の周波数のクロックである。この信号e, fはディレイ回路27に入力される。このデ

- 8 -

ック1FcLKが入力され、SM検出信号hが入力されないと補間SM検出信号1をフリップフロップのリセット端子に出力する。

上記補間SM検出信号発生回路29は、例えばカウンタで構成される。これはSMは等周期で検出されるべきことを利用するもので、SM検出信号hでカウンタをリセットする。通常、SM検出信号hが検出されているときはリセット信号が入るためカウンタは出力を出さない。しかし、SM検出信号hが検出されないとカウント動作が更に継続し、ある設定したカウント値に達しカウンタは出力を出すようにする。このカウンタの出力が補間SM検出信号1となる。また、本発明者による特開平1-277369(特願昭63-105975)、特願昭63-253258、特願平1-308979に補間SM検出信号発生回路の具体的構成が書かれており、この構成でも良い。

上記SM検出信号h及び補間SM検出信号1は、オアグート4を経て、信号jとなり、誤検出防止ゲート発生回路5に入力される。この誤検出防止

- 10 -

ゲート発生回路5には、クロック1 FcLKと、フリップフロップのQ出力k及びQ(反転)出力lが入力され、例えば，C，検出回路28に誤検出防止ゲート信号mを出力する。

上記フリップフロップはSM検出信号hが入力されると、信号kを誤検出防止ゲート発生回路5に、第1のゲート幅切換信号G1として出力する。つまり、この信号kが出力された場合には次に誤検出防止ゲート信号mが解除されるタイミングは、C，検出回路28が正規にSMパターン検出を行なうタイミングの直前となるようにしている。検査するならば、誤検出を防止している誤検出防止ゲート期間は長く設定しており、C，検出回路28がSMパターン検出を行える期間(つまりSMパターン検出窓期間)は短く設定される。

一方、SM検出信号hが出力されないと、補間SM検出信号iが出力されることにより、フリップフロップは信号jを第2のゲート幅切換信号G2として出力する。つまり、この信号jが出力された場合には、次に誤検出防止ゲート信号mが解

- 11 -

クロック1 FcLKは、第1カウンタ31a及び第2カウンタ31bの各クロック入力端に印加され、各カウンタ31a, 31bのカウント出力はそれぞれ第1デコーダ32a及び第2デコーダ32bにそれぞれ入力され、カウンタ31a, 31bのカウント値が一定の値に達すると、デコーダ32a, 32bの各出力n1, n2は例えば“H”から“L”になるように設定してある。

この実施例では、第1デコーダ32aは、第2デコーダ32bの場合よりも大きいカウント値で“L”なるように設定してある。

上記各デコーダ32a, 32bの出力n1, n2は、それぞれアンドゲート33a, 33bを介してオア回路34に入力され、このオア回路34から，C，検出回路28に出力される信号mが生成される。

上記アンドゲート33a, 33bには、フリップフロップからの信号k及びlがそれぞれ入力され、これらの信号k, lによってデコーダ32a, 32bの出力n1, n2はゲート通過又は阻止さ

- 13 -

れられるタイミングを早くして(正規にSMパターン検出を行うタイミングよりも前になるようにして)、次のSMパターン検出を確実に行えるようにする。

第3図では、正常時検出時ゲート長を例えばT1とすると、補間時ゲート長T2は、T2 < T1となるようにしている。(又、SMパターンを検出した正常時の場合における次の信号mが“L”になる期間t1は、SMパターンの検出に失敗した場合における次の信号mが“L”になる期間t2より小さい(t1 < t2)になるようにしている。)

上記誤検出防止ゲート信号mは、具体的には第3図に示すように信号jの立下がりで“H”となり、信号kが“H”であると、一定期間T1の後、“L”となるのに対し、信号jが“H”的場合には、一定期間T1より短い期間T2の後、“L”となるように設定してある。この誤検出防止ゲート発生回路5は、例えば第4図に示すような構成である。

- 12 -

れる。尚、カウンタ31a, 31bは、信号jの立下がりでリセットされるカウンタが用いてある。(“H”でリセットされるカウンタ出も、微分回路を用いて構成できる。)

この誤検出防止ゲート発生回路5の動作を第5図に示す。

第5図の信号j, k, lは第4図の信号j, k, lと同一であり、カウンタ31a, 31bはそれぞれ信号jの立下がりでカウントを始める。しかし、カウント値が予め設定された値に達すると、まず第2デコーダ32bの出力n2は第5図に示すように“H”から“L”になる。その後、第1デコーダ32aの出力n1は“H”から“L”になる。一方、SM検出信号hが出力された場合にはフリップフロップのQ出力kが“H”となるので、第1デコーダ32aの出力n1がアンドゲート33a、オア回路34を経て信号mとなって出力される。

一方、補間SM信号が出力された場合には、其出力lが“H”となるので第2デコーダ32bの

- 14 -

出力 n 2 がアンドゲート 3 3 b、オア回路 3 4 を経て出力される。

尚、信号 k, l は、デコーダ出力 n 1, n 2 が一旦 "L" となった後 "H" に立上がる前に同時に反転するので、信号 m はこの反転に左右されることなく、信号 j の立下がりで "H" に立上がることになる。

このように構成することにより、SM 検出信号が発生した場合には、次の SM パターン検出の際の検出窓が開く期間を狭くして、誤検出を確実に防止し、一方補間 SM 検出信号 i が出力された場合には、早めに検出窓を広くするようにして、この補間 SM 検出信号が出力されるタイミングが遅れても、次の SM パターンの検出を確実に行えるようにしている。

この誤検出防止ゲート信号 m の誤検出防止ゲート長としては、例えば 1 セクタ長が 1024 バイト / セクタ、転送レートが 5.55M [bps] の場合には、130mm ISO フォーマットでは、約 1.96m [sec] となるので、正常検出時の誤検出防止ゲート長は、

- 15 -

以上述べたように本発明によれば、セクタマークの検出によりセクタマーク検出信号を発生するセクタマーク検出信号発生手段と、セクタマーク検出信号が発生しない場合に補間のセクタマーク、つまり補間セクタマーク検出信号を発生する補間セクタマーク検出信号発生手段と、セクタマーク検出信号及び補間セクタマーク検出信号との少なくとも一方の信号に基づいて、次のセクタマーク検出を行う際のセクタマーク誤検出を防止するセクタマーク誤検出防止ゲート信号を出力する誤検出防止ゲート発生手段とを設け、セクタマーク検出信号が出力されない場合には次のセクタマーク検出を行う際の誤検出防止ゲートを解放するタイミングを早くするよう正在しているので、セクタマークの未検出を防止できる。又、セクタマーク検出信号が出力された場合には、次のセクタマークの誤検出を防止することができる。

4. 図面の簡単な説明

第 1 図(A) は本発明の概略の構成図、第 1 図(B) は同図(A) の動作説明図、第 2 図ないし第 5 図は

これからスピンドルモータ回転偏差と SM 部を除いた時間長に設定される。例えばスピンドルモータの回転偏差を $\pm 0.5\%$ とすると、 $1.96 \times 0.995 - SM 長 (\approx 7.2\mu s) \approx 1.94 m [sec]$ 程度に設定される。

補間 SM 検出信号発生時には、プリフォーマット部を除いたゲート長が使用され、 $1.87 m [sec]$ 程度となる。

尚、SM 検出信号 m は図示しないディスクに記録された信号の復調回路又は上位から転送された信号を変調する変調回路に送られ、それらの回路を動作させるタイミング信号として使用される。

尚、上記 1 実施例では、SM 検出信号又は補間 SM 検出信号がそれぞれ検出された場合とで、次の誤検出防止ゲート信号のゲート長を切換えるよう正在しているが、補間 SM 検出信号が出力されるか否かにより、ゲート長を切換えてても良い。又、SM 検出信号が出力されるか否かに応じて、次のゲート長を切換えるようにしても良い。

[発明の効果]

- 16 -

本発明の 1 実施例に係り、第 2 図は 1 実施例のセクタマーク検出装置の構成図、第 3 図は 1 実施例の動作説明用タイミングチャート図、第 4 図は誤検出防止ゲート信号発生回路の構成図、第 5 図は第 4 図の動作説明用タイミングチャート図である。
 1 … セクタマーク検出装置
 2 … SM 検出信号・補間 SM 検出信号発生回路
 3 … 誤検出防止ゲート幅切換回路
 4 … オアゲート
 5 … 誤検出防止ゲート発生回路

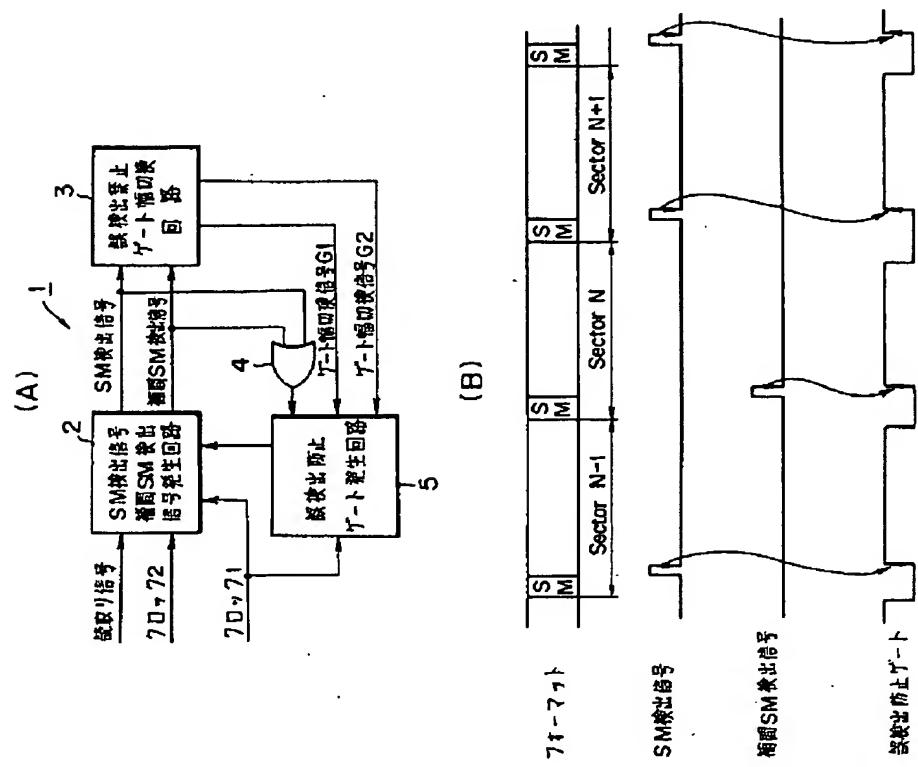
代理人 弁理士 伊藤



- 17 -

- 18 -

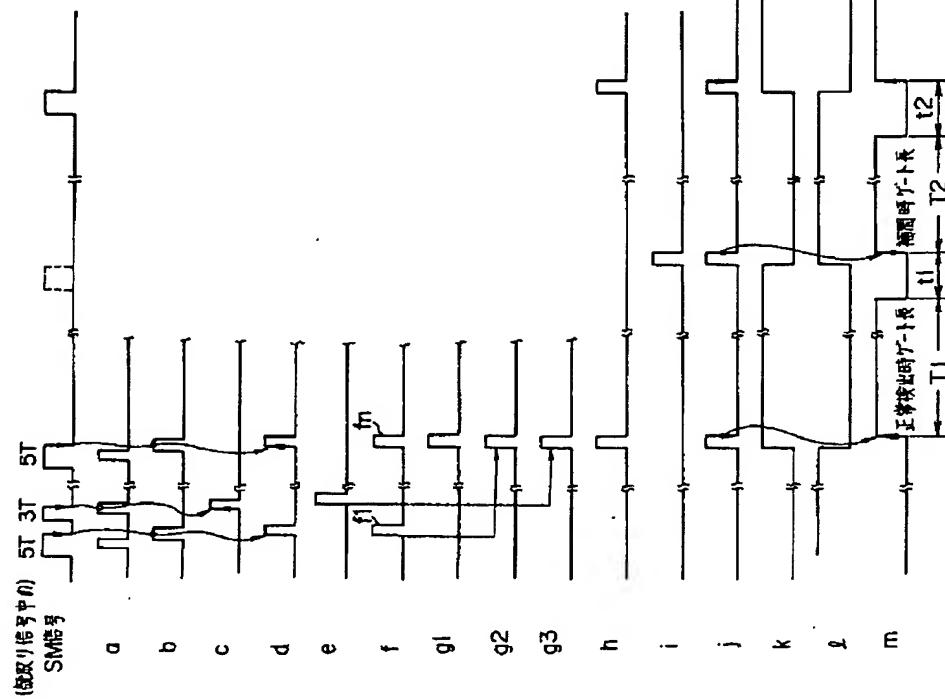
圖二第



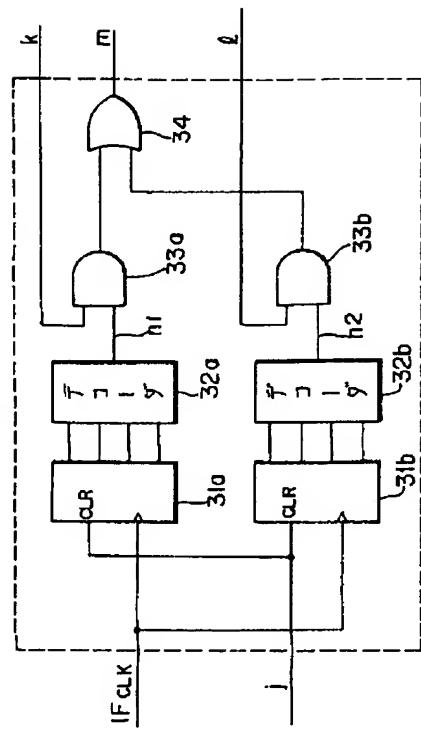
Block diagram of the SMI generation circuit:

- Left Column:**
 - Block 26a: 3T output. Inputs: f, e, c, d, b.
 - Block 26b: 5T output. Inputs: f, e, c, d, b.
 - Block 25a: D flip-flop. Input: a, clock: 24.
 - Block 25b: D flip-flop. Input: b, clock: 24.
 - Block 23: D flip-flop. Inputs: Q_A, Q_B, clock: 24. Output: Q_C, Q_D.
 - Block 22: Inverter. Input: 21.
 - Block 21: AND gate. Inputs: 21, 22.
- Middle Column:**
 - Block 27: 4-to-1 multiplexer. Inputs: g₁, g₂, g₃, g₄. Select: 28.
 - Block 28: D flip-flop. Inputs: h, g₁, g₂, g₃, g₄, clock: 24.
 - Block 29: 5C3 output. Inputs: 27, 28, 29.
- Right Column:**
 - Block 30: SR flip-flop. Inputs: S, R, clock: 3.
 - Block 31: AND gate. Inputs: 4, 1.
 - Block 30 and Block 31 share a common output line.
 - Block 31 has an output line labeled m.
 - Block 31 also feeds into Block 5.
 - Block 5: AND gate. Inputs: 5, m.
 - Block 5 has an output line labeled l.
 - Block 5 also feeds into a final block labeled "誤検出防止アーティフリップフロップ" (Artificial flip-flop for preventing false detection).

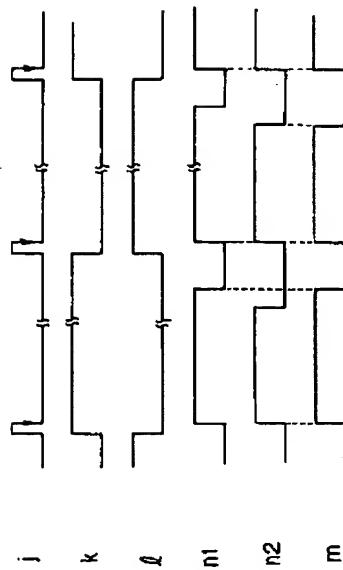
第3図



第4図



第5図



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成10年(1998)12月4日

【公開番号】特開平4-21975

【公開日】平成4年(1992)1月24日

【年通号数】公開特許公報4-220

【出願番号】特願平2-127902

【国際特許分類第6版】

G11B 20/12

27/10

【F I】

G11B 20/12

27/10 C

手続補正書

7. 補正の内容

(1) 明細書第4頁第1行の「寄りも」を「よりも」と補正する。

(2) 同書第4頁第13行の「入力れる」を「入力される」と補正する。

以上

特許庁長官 荒井 寿光 国

平成9年6月9日

1. 事件の表示

平成2年 特許第 第127902号

2. 発明の名称

セクタマーク検出装置

3. 補正をする者

事件との關係 特許出願人
〒151 東京都渋谷区幡ヶ谷2丁目43番2号
(037) オリンパス光学工業株式会社
代表者 岸本 正司

4. 補正命令の日付 (自発)



5. 補正により増加する請求項の数 なし

6. 補正の対象

明細書の「発明の詳細な説明」の欄

